



1.24
155.000 MHz
POWER -4dBm

KEITHLEY 3390 5
50.000,00
Perd High Low

Graph
Local
Sine
Square
Ramp
Pulse
Noise
Arb
Mod
Sweep
Burst
Store/Recall
Utility
Help



di FULVIO DE SANTIS

GENERATORE DI SEGNALI DDS

Basato sulla tecnica DDS, genera segnali analogici di frequenza compresa fra 35 MHz a 4 GHz. Prima puntata.

Conoscerete certamente, dato che l'abbiamo descritta in progetti recenti come il generatore DDS del fascicolo n° 228 e il Generatore di sweep DDS del n° 225, la tecnologia di sintesi digitale diretta di forme d'onda chiamata DDS; basandoci su questa, implementata da un apposito modulo, abbiamo realizzato un nuovo

generatore di segnali in grado di generare frequenze comprese tra 35 MHz e 4 GHz.

Il progetto è basato sul circuito integrato **ADF4351** dell'Analog Devices, un sintetizzatore di frequenza a larga banda costituito da un PLL (Phase-Locked Loop) e da un VCO (Voltage-Controlled Oscillator); nel nostro progetto, non utilizziamo l'integrato direttamente ma ci affidiamo a un modulo specifico basato sull'ADF4351, integrato nel nostro circuito. Questo ci permette di semplificare notevolmente lo schema elettrico, come vedrete tra breve.

Nella **Fig. 1** trovate lo schema a blocchi funzionale interno dell'ADF4351.

SCHEMA ELETTRICO

Ciò detto, partiamo subito con l'analisi del circuito spiegando che il nostro Signal Generator in sostanza è costituito da due blocchi: il microcontrollore PIC 18F46K20 e il modulo RF ADF4351 (U2, da collegare al connettore CN2/U2), basato proprio sull'integrato dell'Analog Devices.

Il PIC gestisce il display LCD utilizzato per la lettura della frequenza e della potenza di uscita del modulo RF, i pulsanti e l'encoder; mediante l'interfaccia SPI, inoltre, programma il modulo RF per ottenere le funzionalità richieste dallo strumento.

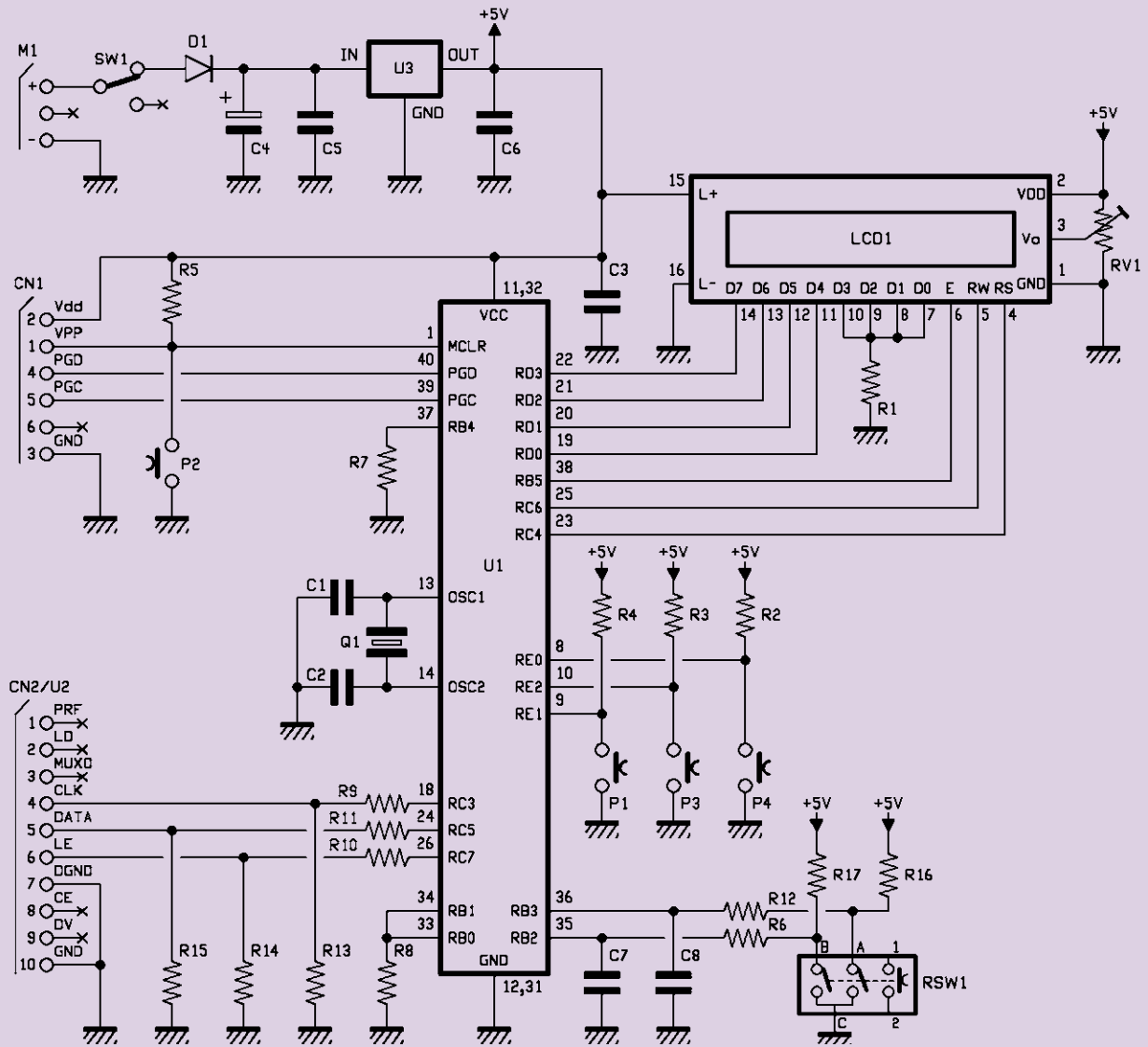
I tre pulsanti del Signal Generator, siglati MODE, LEFT e RIGHT e collegati ad altrettante linee di I/O RE0, RE1 e RE2 del microcontrollore, selezionano: P1, la modalità di controllo della frequenza o della potenza del segnale RF in uscita; P2, lo spostamento a sinistra del cursore sul display; P3, lo spostamento a destra del cursore del display.

L'encoder utilizzato (RSW1) è del tipo rotativo in quadratura



Schema elettrico

SIGNAL GENERATOR



e lo abbiamo collegato a due linee I/O del PIC, vale a dire RB2 ed RB3; esso consente la regolazione della frequenza o della potenza in uscita, secondo la modalità selezionata dal pulsante MODE. In questo circuito, pur essendoci, non viene utilizzato il pulsante clic integrato nel perno dell'encoder, che come vedete dallo schema elettrico è scollegato (fa capo ai piedini 1 e 2).

La comunicazione seriale SPI fra il PIC e il modulo RF viene realizzata mediante il collegamento del connettore CN2/U2 della scheda principale al connettore del modulo RF mediante un cavo piatto IDC. Il connettore CN1 viene utilizzato per il collegamento del PIC con il tool Microchip ICD2/ICD3 per il debug e la programmazione del PIC.

Il connettore CN2/U2 è quello cui è applicato il modulo RF ADF4351.

L'alimentazione viene prelevata dal jack DC IN del modulo RF ADF 4351, collegato in parallelo alla morsetteria M1, e inviata al regolatore U3 LM7805.

IL MODULO RF ADF4351

Il modulo RF ADF4351 è il cuore del Signal Generator e risolve le problematiche di sintesi e output dei segnali, sulla base della programmazione dei suoi registri eseguita dal microcontrollore.

Il modulo è già ottimizzato per l'integrato ADF4351, che incorpora in un PCB progettato appositamente per farlo funzionare nella maniera



migliore, risolvendo eventuali problemi di interferenze, giri di massa e di segnale ecc. Adottarlo ci ha quindi sollevato dall'affrontare tutte queste problematiche e ci permette di operare sul chip ADF4351 semplicemente controllandolo dall'esterno mediante il microcontrollore PIC e prendere da esso i segnali tramite due connettori.

Nel modulo troviamo, oltre all'integrato generatore dell'Analog Devices, il relativo stadio di alimentazione costituito dal regolatore LDO, il filtro di loop, l'oscillatore attivo a cristallo da 25 MHz utilizzato come sorgente di riferimento, infine, l'interfaccia seriale SPI e LED di presenza alimentazione e di lock detect.

Il modulo è dotato di tre connettori SMA, due dei quali denominati: OUT+ e OUT-, che rendono disponibile il segnale RF su due uscite complementari, ed un terzo siglato REF IN, per la connessione di una sorgente di riferimento esterna, laddove serva.

Sono inoltre presenti, il connettore DC IN di ingresso dell'alimentazione e un connettore da 2x5 contatti per il collegamento alla scheda principale. Lo schema elettrico e le caratteristiche del modulo RF ADF4351 sono riportati nell'apposito riquadro a pagina seguente.

L'integrato ADF4351

Essendo la parte cruciale del nostro generatore, analizziamo subito l'integrato ADF4351, partendo dallo schema a blocchi e funzionale proposto nella **Fig. 1**, dal quale è possibile comprendere il principio di funzionamento dell'ADF4351 e, in generale, di un sintetizzatore di frequenza PLL-VCO basato. In alto a sinistra, REF IN è il pin d'ingresso della sorgente esterna della frequenza di riferimento che, dopo vari blocchi divisori e moltiplicatori, fra cui il registro contatore **R**, viene applicata ad uno degli ingressi del **Comparatore di fase/frequenza**, che d'ora in poi chiameremo PFD (Phase/Frequency Detector).

All'altro ingresso del **PFD**, viene applicata l'uscita del VCO retroazionata mediante il blocco divisore costituito dal registro contatore **N** e da vari altri registri, che ha lo scopo di ridurre la frequenza di uscita del VCO ad un valore confrontabile con quello della frequenza di riferimento applicata al PFD. Il costante confronto fra i due segnali applicati conduce il PFD a produrre in uscita degli impulsi di corrente che pilotano il VCO a modificare il valore di frequenza in più o in meno, fino al raggiungimento dell'esatta corrispondenza di fase con il segnale di riferimento. Nella **Fig. 2**, estratto

da un documento dell'Analog Devices, riportiamo lo schema che descrive il principio di funzionamento del sistema sintetizzatore PLL-VCO-PFD: viene applicato un segnale di riferimento di 13 MHz al contatore R, programmato per dividere per 65. La frequenza di uscita di 200 kHz di R, FPDF, giunge ad un ingresso del PFD, mentre all'altro ingresso viene applicata la frequenza di uscita del VCO, divisa per 4500 dal contatore-divisore N. Gli impulsi di uscita del PFD sono filtrati da un filtro passa-basso (filtro di loop) fra l'uscita del CP, o pompa di carica (charge pump), che d'ora in poi chiameremo CP, e il VCO, prima di essere applicati al VCO. Quindi, quando le due frequenze agli ingressi del PFD sono uguali e in fase, si interromperanno gli impulsi di correzione verso il VCO alla cui uscita sarà presente una frequenza di 900 MHz pari a $N \times FPDF$. In sostanza, una volta nota la frequenza di riferimento applicata al PFD, la

CARATTERISTICHE TECNICHE

- **Frequenza generata:** 35MHz÷4GHz
- **Risoluzione di frequenza:** (step o canale): 1 KHz
- **Forme d'onda:**
 - sinusoidale in fondamentale da 2,2 GHz a 4 GHz;
 - quadra da 35 MHz a 2,2 GHz.
- **Potenza di uscita regolabile in step di 3 db:** da -4dBm a +5dbm (+/- 1 db) con carico di 50 ohm
- **Modalità di divisione della frequenza fondamentale:** Frazionale-N
- **Fractional-N Spur:** Freq Offset (Hz) 2.00k Spur Level (dBc) < -40
- **Phase jitter (ADIsimPLL report 1kHz-20MHz):** 10,8ps RMS.
- **Phase Noise (ADIsimPLL report):**

Freq Offset	dBc/Hz
100Hz	-110,2
1kHz	-118
10kHz	-121
100kHz	-116,2
1 MHz	-103
- **Time to lock a 1 kHz:** 40,2µs.
- **Phase Locking (VCO Output Phase):** Time to lock to 10.0 deg is 35,1µs; Time to lock to 1.00 deg is 38,8µs.
- **Corrente assorbita:** 150 mA (RF OUT -4 di dBm) o 168 mA (RF OUT +5 dbm).
- **Livello seconda armonica:** -20 dBc
- **Terza armonica:** -10 dBc
- **Uscite RF complementari con connettori SMA**
- **Tensione di alimentazione:** 5 Vcc



Mensile di elettronica applicata, attualità scientifica, novità tecnologiche.

Elettronica In

www.elettronica.in.it

oltre l'elettronica